

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2003年 3月14日
Date of Application:

出願番号 特願2003-070552
Application Number:

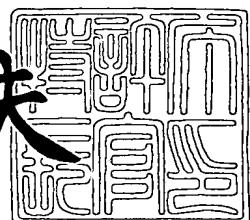
[ST. 10/C] : [J.P 2003-070552]

出願人 セイコーエプソン株式会社
Applicant(s):

2004年 3月 1日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 J0098866
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/00
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】 芳賀 泰
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーエプソン株式会社
【代理人】
【識別番号】 100095728
【弁理士】
【氏名又は名称】 上柳 雅誉
【選任した代理人】
【識別番号】 100107076
【弁理士】
【氏名又は名称】 藤綱 英吉
【選任した代理人】
【識別番号】 100107261
【弁理士】
【氏名又は名称】 須澤 修
【手数料の表示】
【予納台帳番号】 013044
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 一方導電型の不純物が導入された半導体領域と、前記半導体領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成されるゲート電極と、前記半導体領域内に第1のドーズ量で他方導電型の第1の不純物が打ち込まれて、前記半導体領域の正面から第1の深さまでの領域に形成される低濃度層と、前記半導体領域内に前記第1のドーズ量以上 1×10^{15} 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物が打ち込まれて、前記半導体領域の正面から前記第1の深さより浅い第2の深さまでの領域に形成される高濃度層とを具備したことを特徴とする半導体装置。

【請求項 2】 一方導電型の不純物が導入された半導体領域と、前記半導体領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成されるゲート電極と、前記半導体領域内に第1のドーズ量で他方導電型の第1の不純物が打ち込まれて、前記半導体領域の正面から第1の深さまでの領域に形成される低濃度層と、前記半導体領域内に第2のドーズ量で他方導電型の第2の不純物が打ち込まれて、濃度のピーク位置が前記第1の深さより $0.15\text{ }\mu\text{m}$ 以上浅い第2の深さの位置となるように、前記半導体領域の正面から深さ方向に形成される高濃度層とを具備したことを特徴とする半導体装置。

【請求項 3】 一方導電型の不純物が導入された半導体領域と、前記半導体領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成されるゲート電極と、前記半導体領域内に第1のドーズ量で他方導電型の第1の不純物が打ち込まれて、前記半導体領域の正面から第1の深さまでの領域に形成される低濃度層と、前記半導体領域内に前記第1のドーズ量以上 1×10^{15} 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物が打ち込まれて、濃度のピーク位置が前記第1の深さより $0.15\text{ }\mu\text{m}$ 以上浅い第2の深さの位置となるように、前

記半導体領域の主面から深さ方向に形成される高濃度層とを具備したことを特徴とする半導体装置。

【請求項4】 前記一方導電型は、N型で、
他方導電型は、P型であることを特徴とする請求項1乃至3のいずれか1つに記載の半導体装置。

【請求項5】 前記第2の不純物は、ヒ素であることを特徴とする請求項1乃至3のいずれか1つに記載の半導体装置。

【請求項6】 前記半導体領域を素子分離するトレンチ構造を有することを特徴とする請求項1乃至5のいずれか1つに記載の半導体装置。

【請求項7】 一方導電型の不純物が導入して半導体領域を形成する工程と、
前記半導体領域上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にゲート電極を形成する工程と、
前記半導体領域内に第1のドーズ量で他方導電型の第1の不純物を打ち込み、
前記半導体領域の主面から第1の深さまでの領域に低濃度層を形成する工程と、
、
前記半導体領域内に前記第1のドーズ量以上 1×10^{15} 個/cm²以下の
第2のドーズ量で他方導電型の第2の不純物を打ち込み、前記半導体領域の主面
から前記第1の深さより浅い第2の深さまでの領域に高濃度層を形成する工程と
を具備したことを特徴とする半導体装置の製造方法。

【請求項8】 一方導電型の不純物が導入して半導体領域を形成する工程と、
前記半導体領域上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上にゲート電極を形成する工程と、
前記半導体領域内に第1のドーズ量で他方導電型の第1の不純物を打ち込み、
前記半導体領域の主面から第1の深さまでの領域に低濃度層を形成する工程と、
、
前記半導体領域内に第2のドーズ量で他方導電型の第2の不純物を打ち込み、
濃度のピーク位置が前記第1の深さより0.15μm以上浅い第2の深さの位置
となるように、前記半導体領域の主面から深さ方向に高濃度層を形成する工程と
を具備したことを特徴とする半導体装置の製造方法。

【請求項9】 一方導電型の不純物が導入して半導体領域を形成する工程と、前記半導体領域上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体領域内に第1のドーズ量で他方導電型の第1の不純物を打ち込み、前記半導体領域の主面から第1の深さまでの領域に低濃度層を形成する工程と、前記半導体領域内に前記第1のドーズ量以上 1×10^{15} 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物を打ち込み、濃度のピーク位置が前記第1の深さより $0.15\mu\text{m}$ 以上浅い第2の深さの位置となるように、前記半導体領域の主面から深さ方向に高濃度層を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項10】 一方導電型の不純物が導入された半導体領域と、前記半導体領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成されるゲート電極と、前記半導体領域内に 1×10^{15} 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物が打ち込まれて形成される高濃度層とを具備したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MOSトランジスタに好適な半導体装置及びその製造方法に関する

。

【0002】

【従来の技術】

従来、MOSトランジスタとしては、以下に示す製造方法が知られている。NチャネルMOSトランジスタを例にとり、その構造及び製造方法を図13を参照して簡単に説明する。

【0003】

キャリア密度 2×10^{15} / cm^3 のn型のシリコン基板301に、キャリア密度 3×10^{16} / cm^3 のP-WELL領域302を形成する。次に、チャネルドー

としてボロンイオンを打ち込み、20nmのゲート酸化膜303を熱酸化法により形成する。次に400nmの燐ドープされたポリシリコンをCVD (Chemical Vapor Deposition) 法により堆積する。次に、通常のフォトリソグラフ行程とドライエッチング行程によりゲート領域304を形成する。次に、Nch用には燐イオン注入工程を行い、自己整合的にLDD領域305を形成する（図13(a)）。

【0004】

次に、CVD法により酸化膜を形成した後、異方性の高いドライエッチング工程を行う。CVD法を用いることで等方性の高い酸化膜を形成し、異方性の高いドライエッチング法を用いることでポリシリコンの両脇にのみ酸化膜を残存させて、サイドウォール領域306を形成する（図13(b)）。

【0005】

そして、次に燐をドーズ量 5×10^{15} 個/cm²程度打ち込み、ソース／ドレイン領域307を形成する。また、この領域は、不純物を高濃度に含有するため比抵抗が低くなっているため、各素子間を結ぶ配線としても使用されている。

【0006】

最後に、打ち込んだ不純物を活性化するためのランプアニール処理を行い、NチャネルMOSトランジスタが形成される（図13(c)）。

【0007】

以上NチャネルMOSトランジスタの製造工程を説明したが、これはイオン打ち込み工程でイオン種を変えることでそのままPチャネルMOSトランジスタの製造工程となる。

【0008】

ところで、MOSトランジスタの微細化及び高速動作化の要求から、ゲート領域及びソース／ドレイン領域を低抵抗化するために、ゲート領域及びソース／ドレイン領域表面を一括して自己整合的にシリサイド化するシリサイド(Salicide: Self-aligned Silicide)技術が一般的となっている。この技術を採用すると、各電極表面がチタンシリサイド(TiSi₂)やコバルトシリサイド(CoSi₂)

等の低抵抗シリサイドに被われてシート抵抗が低減される。

【0009】

しかしながら、Co膜を被着したSi基板に対して熱処理工程を実施した場合には、CoがSi基板中に拡散し、Co₂Siという化合物が形成される。この場合には、CoはSi基板中に残留する線状の残留欠陥を辿ることで容易に基板深くまで拡散する。また、Coは欠陥の周辺に凝集する傾向があり、結果的には欠陥部でCo₂SiがSi基板深くまで異常成長するという現象が発生する。異常成長したCo₂Siがウェルと拡散層とのP/Nジャンクション近傍まで到達すると、そこからジャンクションリークが発生する。

【0010】

この問題を解決するために、特許文献1においては、ソース、ドレインへの不純物打ち込みを2回に分けて行う手法を採用している。即ち、この提案においては、1回目の不純物打ち込みで、ソース、ドレインに深さが深く、濃度が薄い打ち込みを行う。これにより、ソース、ドレイン領域を低濃度化して残留欠陥を低減し、Co₂Siの異常成長を抑制して、この異常成長に起因したジャンクションリークを抑えている。

【0011】

しかし、単純にソース、ドレイン領域を低濃度化しただけでは、上に形成されるCo₂Si層との接触抵抗が高くなってしまう。そこで、特許文献1の発明では、ソース、ドレインへの2回目の不純物打ち込みで、深さが浅く、濃度がなるべく濃い打ち込みを行う。即ち、Co₂Si層の下に、残留欠陥を多く含む高濃度層を形成するのである。即ち、高濃度層中の全面に渡って多数の欠陥を発生させ、Co₂Siの異常成長を高濃度層中の全面に渡って一様に発生させて終了させることで、一部のCo₂Siが際立って深く成長することを防止している。これにより、より効果的にジャンクションリークを抑制するようになっている。

【0012】

なお、特許文献1においては、個々のCo₂Siの異常成長を小さくするためには、2回目の高濃度層形成のためのイオン打ち込みは、最低でも1×10E15個/cm²以上のドーズ量で実施する必要があることが、開示されている。

【0013】**【特許文献1】**

再公表特許WO99/16116

【0014】**【発明が解決しようとする課題】**

ところで、濃い濃度の不純物の打ち込みによって、Siはアモルファス化してしまう。そこで、アモルファス化したSiの修復のため、また、注入した不純物の活性化のために、例えば1020℃のRTA（ラピッドサーマルアニール）が実施される。このアニールによって、固相エピタキシャル成長が生じて欠陥が修復される。しかし、固相エピタキシャル成長は面方位を有し、面方位<111>に沿って、微小な欠陥が残留する。

【0015】

一方、近年、シャロー・トレチ・アイソレーション（以下、STIという）を用いた素子分離技術が採用されることがある。STIでは、素子の境界にトレチ溝を形成しトレチ溝内にSiO₂を埋め込んで、素子同士を分離する。

【0016】

ところが、高耐圧デバイスの製造のために、ゲート酸化工程において比較的厚膜なゲート領域を形成することがある。このようなゲート酸化工程では、STIのトレチ溝内の酸化成長も促進され、シリコン基板内に大きなストレスを内在させてしまう。

【0017】

そうすると、ソース、ドレイン領域内の微小な残留欠陥を起点として、トレチ溝の下端エッジ部との間で巨大転移ループが発生することがある。この巨大転移ループはP/Nジャンクションを横切って、リーク電流を発生させてしまうという問題点があった。

【0018】

本発明はかかる問題点に鑑みてなされたものであって、拡散層の濃度をなるべく低く形成するか又は拡散層を濃度が異なる2回の不純物打ち込みに分けて形成し、高濃度層の濃度をなるべく低く且つ高濃度層の深さを浅くすることより、ジ

ヤンクションリーグの発生を防止することができる半導体装置及びその製造方法を提供することを目的とする。

【0019】

【課題を解決するための手段】

本発明に係る半導体装置は、一方導電型の不純物が導入された半導体領域と、前記半導体領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成されるゲート電極と、前記半導体領域内に第1のドーズ量で他方導電型の第1の不純物が打ち込まれて、前記半導体領域の主面から第1の深さまでの領域に形成される低濃度層と、前記半導体領域内に前記第1のドーズ量以上 1×10^{15} 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物が打ち込まれて、前記半導体領域の主面から前記第1の深さより浅い第2の深さまでの領域に形成される高濃度層とを具備したことを特徴とする。

【0020】

このような構成によれば、一方導電型の不純物が導入された半導体領域上に、ゲート絶縁膜が形成され、ゲート絶縁膜上にゲート電極が形成される。拡散層は、低濃度層及び高濃度層を有する。低濃度層は、第1のドーズ量で他方導電型の第1の不純物を半導体領域内に打ち込み、主面から第1の深さまでの領域に形成される。一方、高濃度層は第1のドーズ量以上 1×10^{15} 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物を半導体領域に打ち込んで、主面から前記第1の深さより浅い第2の深さまでの領域に形成される。高濃度層が 1×10^{15} 個/ cm^2 以下の第2のドーズ量でイオン注入されていることから、拡散層の活性化のためのアニール処理において残留欠陥が生じることを防止することができる。これにより、P/Nジャンクションを横切る巨大転移ループの発生が抑制され、ジャンクションリーグの発生確率が低減される。

【0021】

また、本発明に係る半導体装置は、一方導電型の不純物が導入された半導体領域と、前記半導体領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成されるゲート電極と、前記半導体領域内に第1のドーズ量で他方導電型の第1の不純物が打ち込まれて、前記半導体領域の主面から第1の深さまでの領域に形

成される低濃度層と、前記半導体領域内に第2のドーズ量で他方導電型の第2の不純物が打ち込まれて、濃度のピーク位置が前記第1の深さより $0.15\mu m$ 以上浅い第2の深さの位置となるように、前記半導体領域の正面から深さ方向に形成される高濃度層とを具備したことを特徴とする。

【0022】

このような構成によれば、一方導電型の不純物が導入された半導体領域上に、ゲート絶縁膜が形成され、ゲート絶縁膜上にゲート電極が形成される。拡散層は、低濃度層及び高濃度層を有し、低濃度層は、第1のドーズ量で他方導電型の第1の不純物を半導体領域内に打ち込み、正面から第1の深さまでの領域に形成される。一方、高濃度層は第2のドーズ量で他方導電型の第2の不純物を半導体領域に打ち込んで、濃度のピーク位置が第1の深さより $0.15\mu m$ 以上浅い第2の深さとなるように形成される。第1の深さ、即ち、P/Nジャンクションの位置と高濃度層の濃度のピーク位置とが $0.15\mu m$ 以上離れていることから、例え高濃度層に残留欠陥が生じている場合でも、P/Nジャンクションを横切る巨大転移ループの発生確率は極めて低く、ジャンクションリークを抑制することができる。

【0023】

また、本発明に係る半導体装置は、一方導電型の不純物が導入された半導体領域と、前記半導体領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成されるゲート電極と、前記半導体領域内に第1のドーズ量で他方導電型の第1の不純物が打ち込まれて、前記半導体領域の正面から第1の深さまでの領域に形成される低濃度層と、前記半導体領域内に前記第1のドーズ量以上 $1 \times 10 E 15$ 個/ $c m^2$ 以下の第2のドーズ量で他方導電型の第2の不純物が打ち込まれて、濃度のピーク位置が前記第1の深さより $0.15\mu m$ 以上浅い第2の深さの位置となるように、前記半導体領域の正面から深さ方向に形成される高濃度層とを具備したことを特徴とする。

【0024】

このような構成によれば、半導体領域には、ゲート絶縁膜上及びゲート電極が形成される。拡散層は低濃度層と高濃度層とを有し、低濃度層は第1のドーズ量

で他方導電型の第1の不純物が打ち込まれて、正面から第1の深さまでの領域に形成される。一方、高濃度層は、第1のドーズ量以上 1×10^{15} 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物が打ち込まれて、濃度のピーク位置が第1の深さより $0.15\ \mu\text{m}$ 以上浅い第2の深さの位置となるように形成される。即ち、高濃度層は、残留欠陥の発生が抑制されており、また、例え発生したとしても残留欠陥から P/N ジャンクションまでの距離は $0.15\ \mu\text{m}$ 以上と十分に大きい。従って、P/N ジャンクションを横切る巨大転移ループの発生が抑制され、ジャンクションリーカの発生確率を低減させることができる。

【0025】

また、前記一方導電型は、N型で、他方導電型は、P型であることを特徴とする。

【0026】

このような構成によれば、ジャンクションリーカを低減したN型トランジスタが得られる。

【0027】

また、前記第2の不純物は、ヒ素であることを特徴とする。

【0028】

このような構成によれば、イオン打ち込みによって欠陥を生じやすいヒ素を不純物とする高濃度層であっても、残留欠陥の発生を抑制し、また、P/N ジャンクションから十分に離れた位置に残留欠陥が生じるので、ジャンクションリーカを十分に低減することができる。

【0029】

また、前記半導体領域を素子分離するトレンチ構造を有することを特徴とする。

【0030】

このような構成によれば、高濃度層の残留欠陥を基点としてトレンチ構造のエッジ部との間で生じる巨大転移ループの発生を抑制することができ、ジャンクションリーカを低減することができる。

【0031】

また、本発明に係る半導体装置の製造方法は、一方導電型の不純物が導入して半導体領域を形成する工程と、前記半導体領域上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体領域内に第1のドーズ量で他方導電型の第1の不純物を打ち込み、前記半導体領域の正面から第1の深さまでの領域に低濃度層を形成する工程と、前記半導体領域内に前記第1のドーズ量以上 1×10^{15} 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物を打ち込み、前記半導体領域の正面から前記第1の深さより浅い第2の深さまでの領域に高濃度層を形成する工程とを具備したことを特徴とする。

【0032】

このような構成によれば、半導体領域上に、ゲート絶縁膜が形成され、ゲート絶縁膜上にゲート電極が形成される。低濃度層及び高濃度層を有する格納層のうち。先ず低濃度層が形成される。高濃度層は、第1のドーズ量以上 1×10^{15} 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物を半導体領域に打ち込むことで、正面から前記第1の深さより浅い第2の深さまでの領域に形成される。高濃度層が 1×10^{15} 個/ cm^2 以下の第2のドーズ量でイオン注入されていることから、拡散層の活性化のためのアニール処理において残留欠陥が生じることを防止することができる。これにより、P/Nジャンクションを横切る巨大転移ループの発生が抑制され、ジャンクションリークの発生確率が低減される。

【0033】

また、本発明に係る半導体装置の製造方法は、一方導電型の不純物が導入して半導体領域を形成する工程と、前記半導体領域上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体領域内に第1のドーズ量で他方導電型の第1の不純物を打ち込み、前記半導体領域の正面から第1の深さまでの領域に低濃度層を形成する工程と、前記半導体領域内に第2のドーズ量で他方導電型の第2の不純物を打ち込み、濃度のピーク位置が前記第1の深さより $0.15\text{ }\mu\text{m}$ 以上浅い第2の深さの位置となるように、前記半導体領域の正面から深さ方向に高濃度層を形成する工程とを具備したことを特徴と

する。

【0034】

このような構成によれば、半導体領域上に、ゲート絶縁膜が形成され、ゲート絶縁膜上にゲート電極が形成される。低濃度層及び高濃度層を有する拡散層のうち、先ず低濃度層が形成される。次に、第2のドーズ量で他方導電型の第2の不純物を半導体領域に打ち込んで高濃度層が形成される。この場合には、高濃度層は、濃度のピーク位置が第1の深さより $0.15\mu m$ 以上浅い第2の深さとなるように形成される。従って、高濃度層に生じる残留欠陥とP/Nジャンクションとの距離は十分に大きく、P/Nジャンクションを横切る巨大転移ループの発生確率は極めて低く、ジャンクションリークを抑制することができる。

【0035】

また、本発明に係る半導体装置の製造方法は、一方導電型の不純物が導入して半導体領域を形成する工程と、前記半導体領域上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記半導体領域内に第1のドーズ量で他方導電型の第1の不純物を打ち込み、前記半導体領域の正面から第1の深さまでの領域に低濃度層を形成する工程と、前記半導体領域内に前記第1のドーズ量以上 $1 \times 10 E 15$ 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物を打ち込み、濃度のピーク位置が前記第1の深さより $0.15\mu m$ 以上浅い第2の深さの位置となるように、前記半導体領域の正面から深さ方向に高濃度層を形成する工程とを具備したことを特徴とする。

【0036】

このような構成によれば、半導体領域上に、ゲート絶縁膜が形成され、ゲート絶縁膜上にゲート電極が形成される。低濃度層及び高濃度層を有する格納層のうち。先ず低濃度層が形成される。高濃度層は、第1のドーズ量以上 $1 \times 10 E 15$ 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物を半導体領域に打ち込むことで形成される。この場合には、高濃度層は、濃度のピーク位置が第1の深さより $0.15\mu m$ 以上浅い第2の深さとなるように形成される。従って、高濃度層に残留欠陥が生じることが抑制され、また、残留欠陥が生じた場合でも、残留欠陥とP/Nジャンクションとの距離は十分に大きく、P/Nジャンク

ションを横切る巨大転移ループの発生確率は極めて低く、ジャンクションリークを抑制することができる。

【0037】

また、本発明に係る半導体装置は、一方導電型の不純物が導入された半導体領域と、前記半導体領域上に形成されるゲート絶縁膜と、前記ゲート絶縁膜上に形成されるゲート電極と、前記半導体領域内に 1×10^{15} 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物が打ち込まれて形成される高濃度層とを具備したことを特徴とする。

【0038】

このような構成によれば、一方導電型の不純物が導入された半導体領域上に、ゲート絶縁膜が形成され、ゲート絶縁膜上にゲート電極が形成される。拡散層となる高濃度層は、 1×10^{15} 個/ cm^2 以下の第2のドーズ量で他方導電型の第2の不純物を半導体領域に打ち込んで、第2の深さまでの領域に形成される。高濃度層が 1×10^{15} 個/ cm^2 以下の第2のドーズ量でイオン注入されていることから、拡散層の活性化のためのアニール処理において残留欠陥が生じることを防止することができる。これにより、P/Nジャンクションを横切る巨大転移ループの発生が抑制され、ジャンクションリークの発生確率が低減される。

【0039】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について詳細に説明する。図1は本発明の一実施の形態に係る半導体装置を模式的に示す断面図である。本実施の形態はNチャネル型MOSトランジスタ（NMOSトランジスタ）に適用したものである。

【0040】

図1の半導体装置はオフセット領域を有するNMOSトランジスタ100を含んでいる。NMOSトランジスタ100はトレチ102によって素子分離されている。n型シリコン半導体基板101上にはpウェル領域103が形成されている。pウェル領域103上にはゲート酸化膜105を介してゲート電極106

が形成されている。ゲート電極 106 の側壁にはサイドウォール領域 108 が形成されており、サイドウォール領域 108 の下方の p ウェル領域 103 表面近傍には、N-オフセット領域 107a が形成されている。そして、ゲート電極 106 及びサイドウォール領域 108 を除く領域の下方の p ウェル領域 103 には、P+ソース／ドレイン領域 109 が形成されている。ゲート電極 106 上及びソース／ドレイン領域 109 上には、チタンシリサイド層 111 が形成されており、チタンシリサイド層 111 及びサイドウォール領域 108 上には保護膜 112 が形成されている。

【0041】

本実施の形態においては、P+ソース／ドレイン領域 109 は、半導体基板の正面からの深さ（以下、単に深さという）が深く不純物濃度が低い低濃度層 109a と、深さが浅く不純物濃度が高い高濃度層 109b とによって構成されている。そして、本実施の形態においては、高濃度層 109b を形成するための不純物打ち込み工程（以下、浅い打ち込み工程という）におけるドーズ量は 1×10^6 個/ cm^2 以下に設定されている。なお、浅い打ち込み工程におけるドーズ量は、低濃度層 109a を形成するための不純物打ち込み工程（以下、深い打ち込み工程という）におけるドーズ量以上に設定する。

【0042】

また、低濃度層 109a の深さによって規定される P/N ジャンクションまでの深さと高濃度層 109b における不純物濃度のピーク位置の深さとの差、即ち、高濃度層 109b における不純物濃度のピーク位置と P/N ジャンクションとの間の長さが $0.15 \mu\text{m}$ 以上となるように設定されている。

【0043】

このように構成された実施の形態においては、低濃度層 109a によって P/N ジャンクションの深さが規定され、高濃度層 109b の濃度によって、拡散抵抗値が規定される。また、低濃度層 109a は十分に低い不純物濃度に設定されており、Si のアモルファス化及び不純物注入のためのアニール処理において残留欠陥が発生することは殆ど無い。

【0044】

本実施の形態においては、高濃度層109bは、浅い打ち込み工程におけるドーズ量が $1 \times 10 E 15$ 個/ cm^2 以下に設定されており、Siのアモルファス化及び不純物注入のためのアニール処理において残留欠陥の発生を十分に抑制することができる。これにより、ゲート酸化膜105の膜厚を比較的厚く形成してトレンチ102の酸化成長が促進された場合でも、高濃度層109bに発生する残留欠陥を起点とする巨大転移ループの発生が抑制され、ジャンクションリークの発生確率を著しく低減することができる。

【0045】

また、高濃度層109bにおける不純物濃度のピーク位置とP/Nジャンクションとの間の長さは $0.15\mu m$ 以上に設定されている。従って、例え高濃度層109bに残留欠陥が存在していても、この残留欠陥からP/Nジャンクションまでの長さが十分に長いので、P/Nジャンクションを横切る巨大転移ループの発生が阻止され、ジャンクションリークの発生確率は更に低減される。

【0046】

従って、本実施の形態におけるNMOSトランジスタ100を用いてICを構成した場合には、ICの待機時リーク電流を十分に抑制することができ、低消費電力化に極めて有効である。

【0047】

なお、上記実施の形態においては、NMOSトランジスタを例に説明したが、PMOSトランジスタについても同様に構成することができることは明らかである。

【0048】

次に、図1の半導体装置のNMOSトランジスタ100の部分の製造方法について図2乃至図9を参照して説明する。図2乃至図9は製造方法を断面構造によって工程順に示す工程図である。

【0049】

先ず、比抵抗率 $10\Omega \cdot cm$ のn形シリコン半導体基板101の表面を95%水蒸気雰囲気中で $900^\circ C$ 、30分間の熱処理により膜厚50nmの図示しない酸化膜を形成する。この酸化膜はイオン打ち込み工程で打ち込んだイオンが、異

常な分布を示す現象を防ぐために必要な酸化膜である。次に、イオン打ち込み法により硼素（B）を注入する。硼素（B）原子の加速エネルギーは 70 keV、イオン打ち込み量はイオン数にして 1×10^{13} 個/ cm^2 である。

【0050】

次に、窒素雰囲気中で熱拡散を行う。拡散温度は 1100°C、拡散時間は 7 時間である。この熱処理により、深さ $2.5 \mu\text{m}$ の p ウェル領域 103 が形成される。

【0051】

次に、n 型シリコン半導体基板 101 の表面上に形成した酸化膜をエッチング除去し、再度熱酸化処理により酸化膜（図示せず）を形成する。この酸化膜は、イオン打ち込み工程で打ち込んだイオンが異常な分布を示す現象を防ぐために必要な酸化膜である。

【0052】

次に、MOS デバイスの閾値電圧を調整するための硼素（B）イオンの打ち込みを行う。硼素（B）原子の加速エネルギーは 70 keV、イオン打ち込み量はイオン数にして 3×10^{12} 個/ cm^2 である。

【0053】

次に、n 型シリコン半導体基板 101 の表面に形成した酸化膜を緩衝弗酸でエッチング除去した後、95% 水蒸気雰囲気中で 820°C、15 分間の熱処理により膜厚 15 nm のゲート酸化膜層 105 a を形成する。図 2 はこの状態を示している。

【0054】

次に、CVD 法により、燐（P）ドープポリシリコンを 400 nm 堆積してゲート電極層 10 a を形成する（図 3）。次に、通常のフォトリソグラフ・エッチング工程により、 $0.7 \mu\text{m}$ 幅のゲート電極 106 を形成する（図 4）。

【0055】

次に、図 4 に示すように、燐（P）イオン打ち込み工程により、LDD 領域 107 を形成する。なお、加速エネルギーは 30 keV、イオン打ち込み量はイオン数にして 1×10^{13} 個/ cm^2 である。

【0056】

次に、シランと笑気を原料ガスとしたCVD法によって、酸化シリコン（SiO₂）を全面に堆積させる。次いで、この酸化シリコン及びゲート絶縁膜層105aの一部を異方性のドライエッチングによってエッチング除去し、図5に示すように、幅0.3μmのサイドウォール領域108を形成する。

【0057】

次に、ソース／ドレイン領域109を形成する。本実施の形態においては、ソース／ドレイン領域の形成工程は、2回のイオン打ち込み工程に分けて行われる。即ち、先ず、低濃度層109aを形成するための不純物打ち込み工程（深い打ち込み工程）を実施する。この工程では、例えば、燐（P）イオンを65keVの加速エネルギーで、ドーズ量を3.5×10E13個/cm²に設定してイオン打ち込みを行う。これにより、図6に示すように、深さが深い低濃度層109aが形成される。

【0058】

次に、高濃度層109bを形成するための浅い打ち込み工程を実施する。この工程では、例えば、ヒ素（As）イオンを40keVの加速エネルギーで、ドーズ量を1×10E15個/cm²に設定してイオン打ち込みを行う。これにより、図7に示すように、深さが浅い高濃度層109bが形成される。

【0059】

次に、高融点金属のチタン膜をスパッタ法を用いて形成する。続けて、熱処理を行うと、チタンと下地のポリシリコンとが反応し、チタンシリサイド層111が形成される。そして、チタンの選択エッチングを行うと、酸化膜上のチタンは除去される（図8）。

【0060】

次に、アニール処理を行い、不純物を活性化させ、NMOSトランジスタ100が形成される。最後に、保護膜又は層間絶縁膜として、窒化シリコン（Si₃N₄）の膜112を全面に亘って堆積させる（図9）。なお、膜112としては、NMOSトランジスタ100の上に、まず酸化シリコン（SiO₂）の層を形成し、その上に積層するように、窒化シリコンの膜を形成するようにしてもよい。

【0061】

図10はソース／ドレイン領域109近傍を拡大して示す説明図であり、図11は横軸に深さをとり縦軸に不純物濃度をとて、ソース／ドレイン領域109における濃度分布を示すグラフである。

【0062】

拡散層形成工程における最初の深い打ち込み工程による不純物の濃度分布を、図11の曲線C1にて示す。濃度THはpウェル領域103の不純物濃度である。曲線C1の濃度が濃度THに到達した位置の深さx1がP/Nジャンクションの深さに相当する。図10において、深さx1は、深い打ち込み工程において形成された低濃度層109aとpウェル領域103との境界（P/Nジャンクション）位置を示している。

【0063】

一方、浅い打ち込み工程による不純物の濃度分布を、図11の曲線C2にて示す。図11の深さx2は、高濃度層109bにおける濃度のピーク位置を示している。浅い打ち込みは、ドーズ量が 1×10^{15} 個/ cm^2 に設定されており、拡散層の活性化のためにアニール処理が行われた場合でも、残留欠陥の発生は著しく少ない。

【0064】

深さx1と深さx2との差 ($x_1 - x_2$) = R2は、P/Nジャンクションから高濃度層109bにおける不純物濃度のピーク位置までの間の長さであり、上述した深い打ち込み工程及び浅い打ち込み工程におけるイオン加速エネルギー及びドーズ量の設定によって、 $0.15\text{ }\mu\text{m}$ 以上の長さに制御されている。図10はP/Nジャンクションから高濃度層109bにおける不純物濃度のピーク位置までの間の長さを示している。高濃度層109bに生じる残留欠陥は、図10の破線よりも半導体基板正面側に生じる。即ち、たとえ高濃度層109bに残留欠陥が生じている場合でも、残留欠陥はP/Nジャンクションから十分に離間した位置に生じるので、ジャンクションリーカの発生確率は極めて小さい。

【0065】

このように本実施の形態においては、トランジスタのソース／ドレイン領域形

成のための不純物打ち込み工程を、深さが深く不純物濃度が低い打ち込み工程と深さが浅く不純物濃度が高い打ち込み工程との2工程に分け、浅い打ち込み工程のドーズ量を 1×10^6 個/ cm^2 以下に制御すると共に、深い打ち込みによって形成されたP/Nジャンクションと浅い打ち込みによって形成された高濃度層の不純物濃度のピーク位置との間の長さを $0.15\text{ }\mu\text{m}$ 以上となるように制御している。これにより、拡散層の活性化のためにアニール処理が行われた場合でも、高濃度層に残留欠陥が発生することを防止し、また、たとえ残留欠陥が発生したとしても、P/Nジャンクションから残留欠陥までの距離が十分大きいので、巨大転移ループの発生を抑制してジャンクションリードが生じる確率を著しく低減することができる。

【0066】

なお、上記実施の形態においては、ソース/ドレイン領域を形成するための2回のイオン打ち込み工程では、先に深さが深く不純物濃度が低い打ち込み工程を実施し、次に深さが浅く不純物濃度が高い打ち込み工程を実施したが、浅い打ち込み工程を先に実施し、深い打ち込み工程を後から実施してもよい。

【0067】

更に、ドーズ量が 1×10^6 個/ cm^2 以下の1回のイオン打ち込み工程によって、ソース/ドレイン領域を形成するようにしてもよい。

【0068】

また、上記実施の形態においては、NMOSトランジスタを例に説明したが、添加する不純物等を変えてPチャネルMOSトランジスタにも同様に適用することができることは明らかである。

【0069】

例えば、PチャネルMOSトランジスタに適用する場合には、深さが深く不純物濃度が低い打ち込み工程では、硼素(B)イオンを8keVの加速エネルギーで、ドーズ量を 1.5×10^6 個/ cm^2 に設定してイオン打ち込みを行う。そして、次いで、深さが浅く不純物濃度が高い打ち込み工程では、フッ化硼素(BF2)イオンを25keVの加速エネルギーで、ドーズ量を 5×10^6 個/ cm^2 に設定してイオン打ち込みを行う。

【0070】

本発明は、浅く濃い打ち込み工程において、ドーズ量を $1 \times 10 E 15$ 個/ $c m^2$ 以下に制御する点、及び、P/Nジャンクションから高濃度層における不純物濃度のピーク位置までの長さを $0.15 \mu m$ 以上に制御する点を除けば、添加する不純物、加速エネルギー及びドーズ量等のイオン打ち込み条件は適宜変更可能である。

【0071】

(実施例)

上記実施の形態におけるNMO Sトランジスタを採用して1Mビット程度のSRAMを混載したロジックIC製品を構成して、リーク電流のメジアン値を求めた。図12はこの実験結果を示すものである。

【0072】

ソース/ドレイン領域形成工程の条件として、浅い打ち込み工程におけるヒ素(A s)の注入量を変化させ、各注入量毎に、深い打ち込み工程の燐(P)の加速エネルギー及び浅い打ち込み工程のヒ素(A s)の加速エネルギーを変化させて、浅い打ち込み工程における不純物のドーズ量とICの待機時リーク電流のメジアン値との関係を求めた。

【0073】

図12はこの実験結果に基づいてヒ素(A s)のドーズ量とICの待機時リーク電流のメジアン値との関係を示すグラフである。また、図12ではヒ素A sの深さ(注入エネルギー)と深い打ち込みとしてのリン(P)の注入条件との組み合わせの例も示している。なお、図中、R2はP/Nジャンクションとヒ素(A s)の打ち込み工程で形成された高濃度層の濃度ピーク位置との間の距離を示す。

【0074】

図12から明らかなように、リーク電流は浅い打ち込み工程によるヒ素(A s)の注入量に依存しており、ドーズ量が $1 \times 10 E 15$ 個/ $c m^2$ 以下になると急激にリーク電流が低下していることが分かる。また、浅い打ち込み工程と、燐(P)を用いた深い打ち込み工程とを組み合わせた場合には、破線の条件に対し

て、高濃度層の濃度ピーク位置をより浅い位置に制御することにより、点線に示すように、リーク電流を改善することができる。更に燐（P）を用いた深い打ち込み工程の加速エネルギーを増加させて、P/Nジャンクションを深くすることにより、実線に示すように、リーク電流の更なる改善効果が得られた。即ち、これは、浅い打ち込み工程による高濃度層の不純物濃度のピーク位置とP/Nジャンクションとの間の距離を0.15μm以上とすることによる効果であることを示している。

【0075】

本実施例によって、実験に用いたロジック製品のリーク電流を、安定して1μA以下に低下させることができた。

【0076】

従って、本発明を用いて製品を構成すれば、リーク電流を抑制して低消費電力化を実現することができる。つまり、本発明のNMOSトランジスタを利用した製品においてスタンバイ電流を低減させることができ、携帯機器等のバッテリーを利用する製品において極めて有用である。

【0077】

本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨を変えない範囲において、種々の変更、改変等が可能である。

【図面の簡単な説明】

- 【図1】 本発明の一実施の形態に係る半導体装置を模式的に示す断面図。
- 【図2】 製造方法を断面構造によって工程順に示す工程図。
- 【図3】 製造方法を断面構造によって工程順に示す工程図。
- 【図4】 製造方法を断面構造によって工程順に示す工程図。
- 【図5】 製造方法を断面構造によって工程順に示す工程図。
- 【図6】 製造方法を断面構造によって工程順に示す工程図。
- 【図7】 製造方法を断面構造によって工程順に示す工程図。
- 【図8】 製造方法を断面構造によって工程順に示す工程図。
- 【図9】 製造方法を断面構造によって工程順に示す工程図。
- 【図10】 ソース／ドレイン領域109近傍を拡大して示す説明図。

【図1 1】 ソース／ドレイン領域109における濃度分布を示すグラフ。

【図1 2】 実験結果を示すグラフ

【図1 3】 従来例を示す工程図。

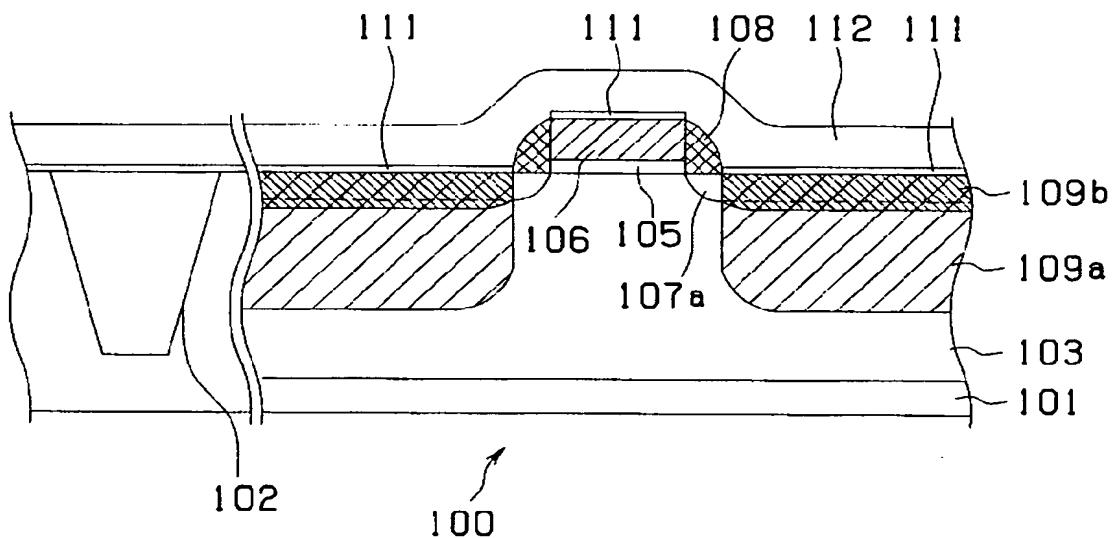
【符号の説明】

100…NMO Sトランジスタ、101…n型シリコン半導体基板、103…pウエル領域、105…ゲート酸化膜、106…ゲート電極、109…ソース／ドレイン領域、109 a…低濃度層、109 b…高濃度層。

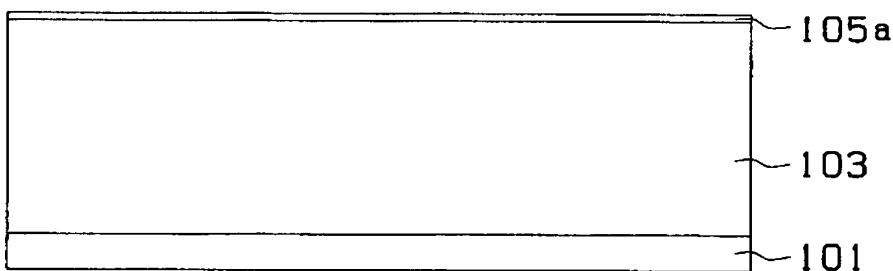
【書類名】

図面

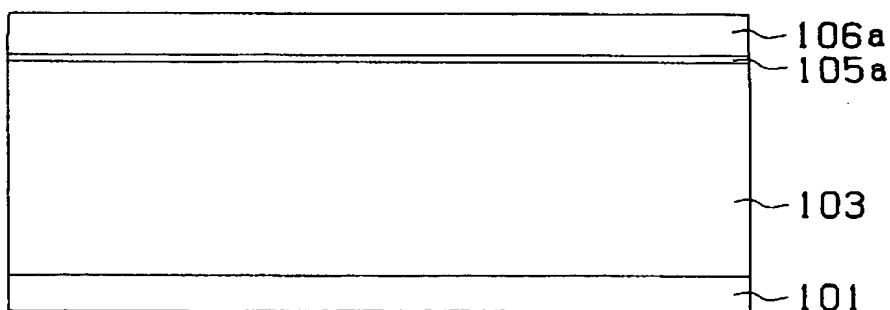
【図1】



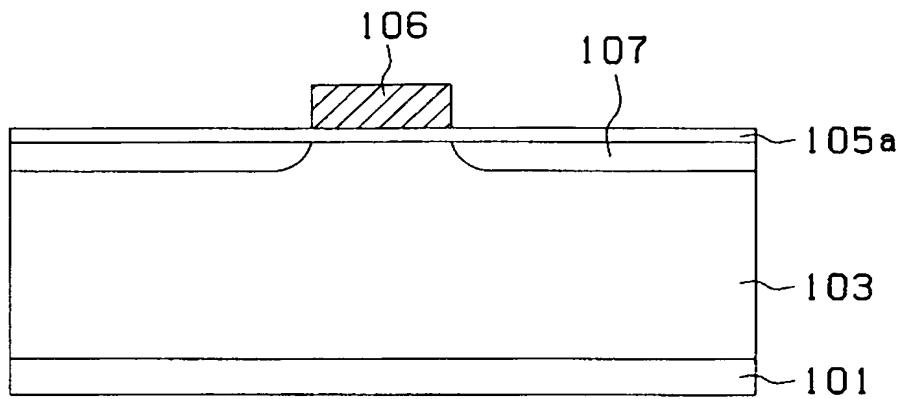
【図2】



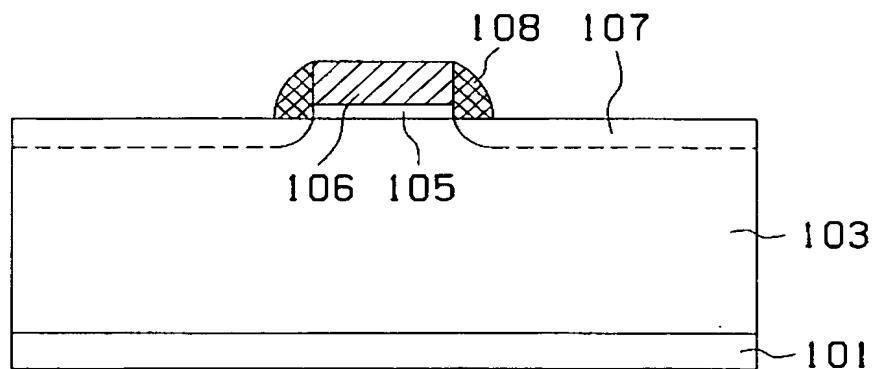
【図3】



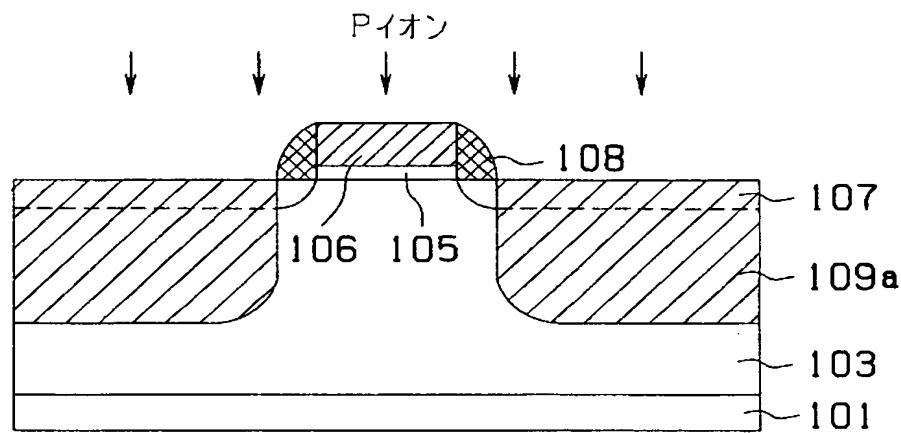
【図4】



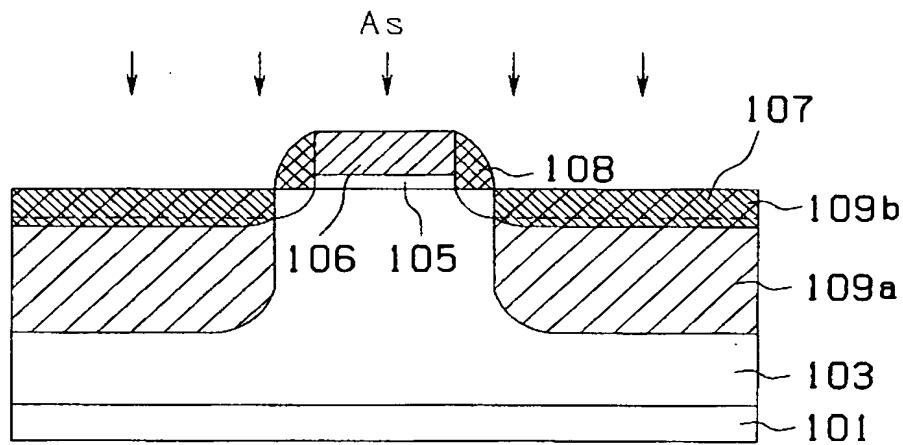
【図5】



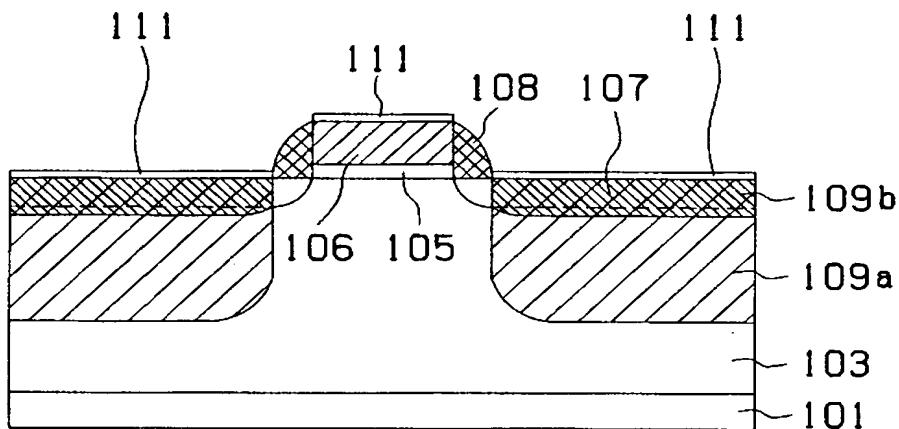
【図6】



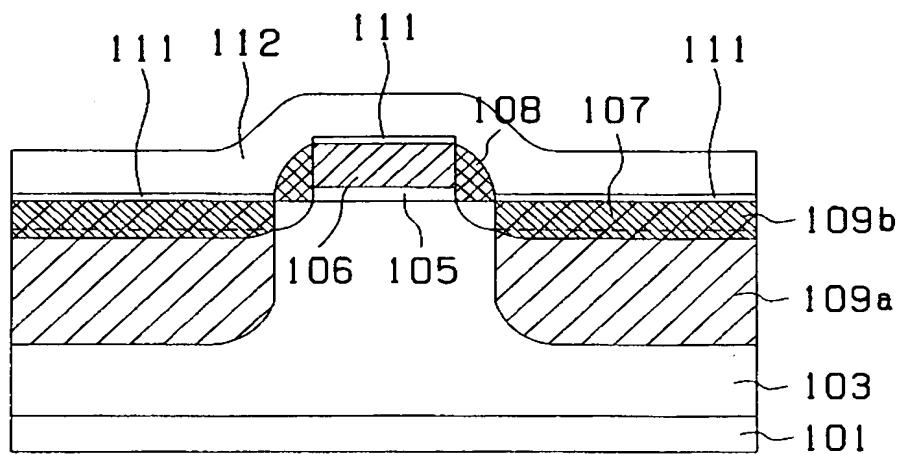
【図7】



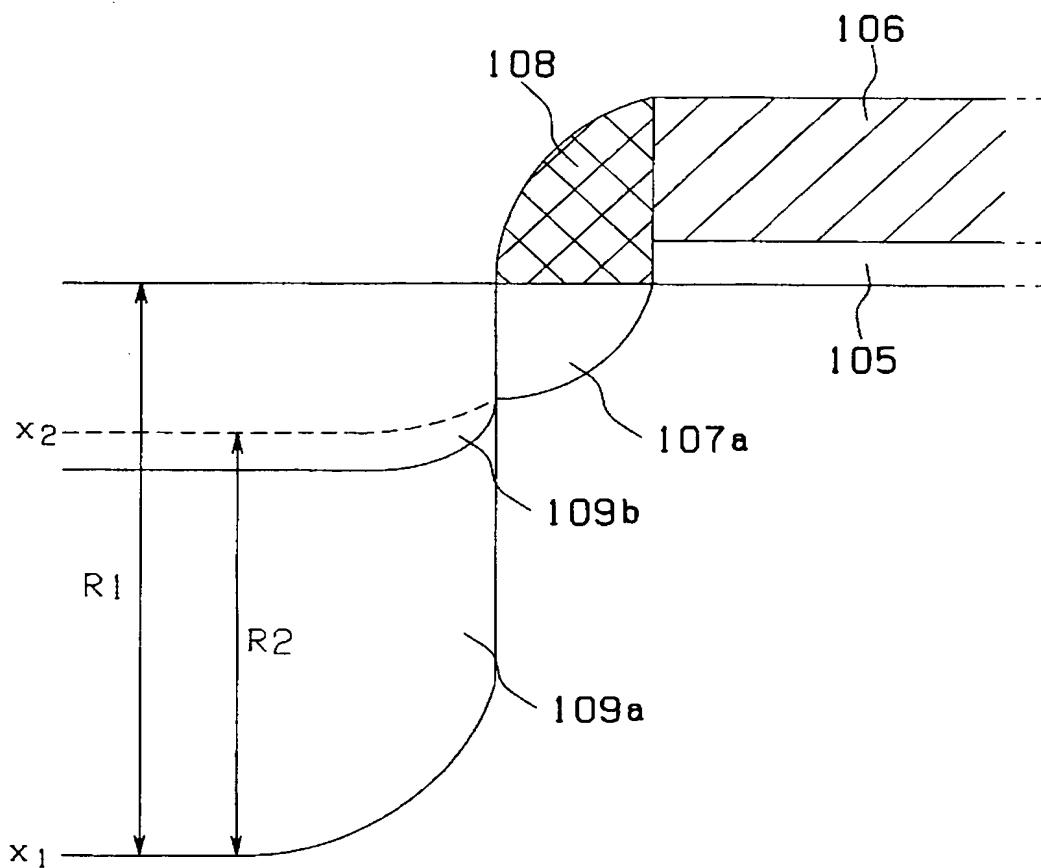
【図8】



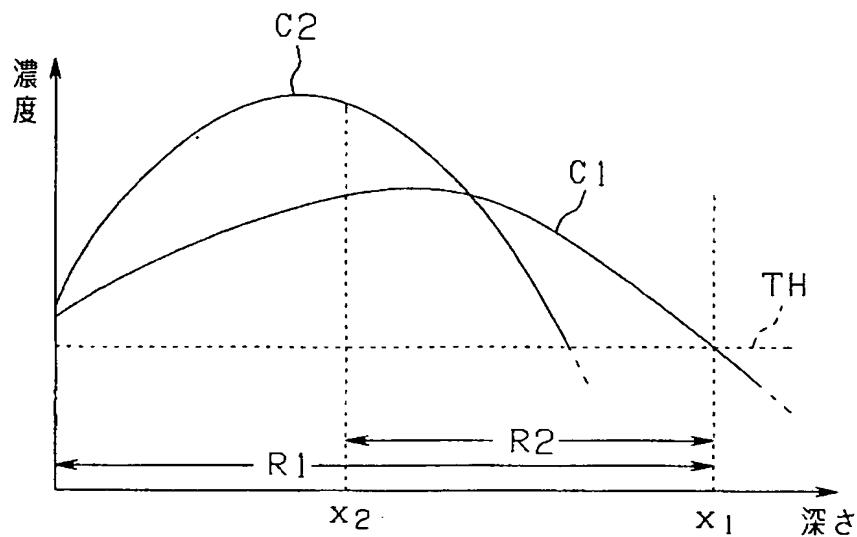
【図9】



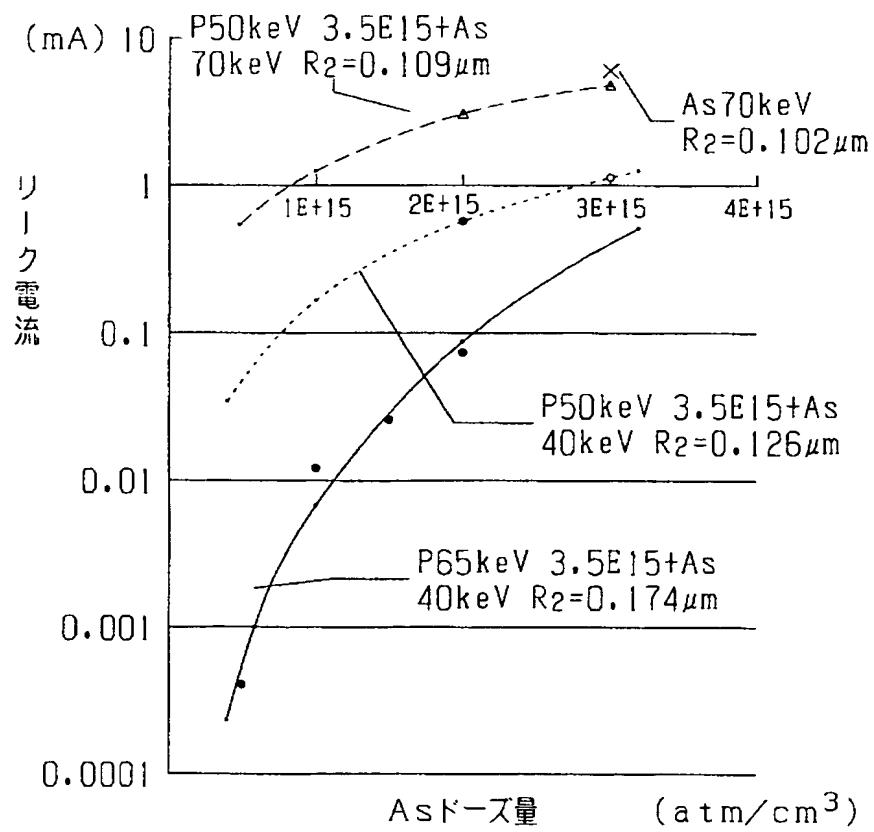
【図10】



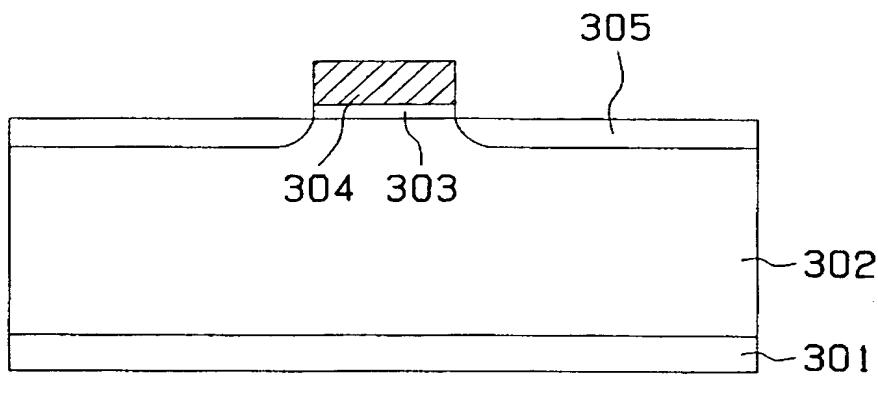
【図11】



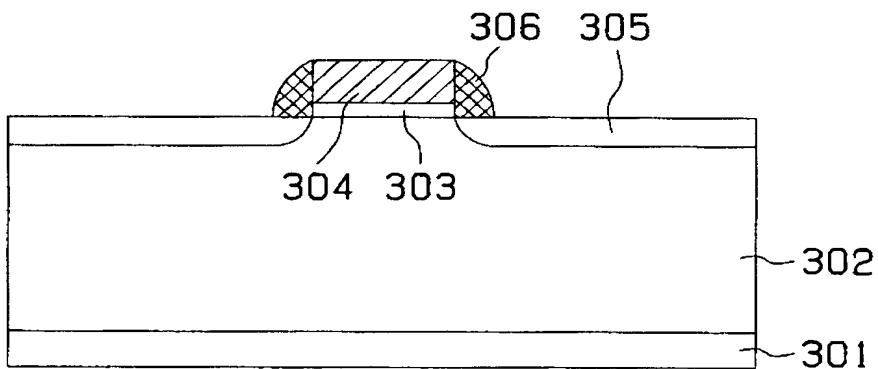
【図12】



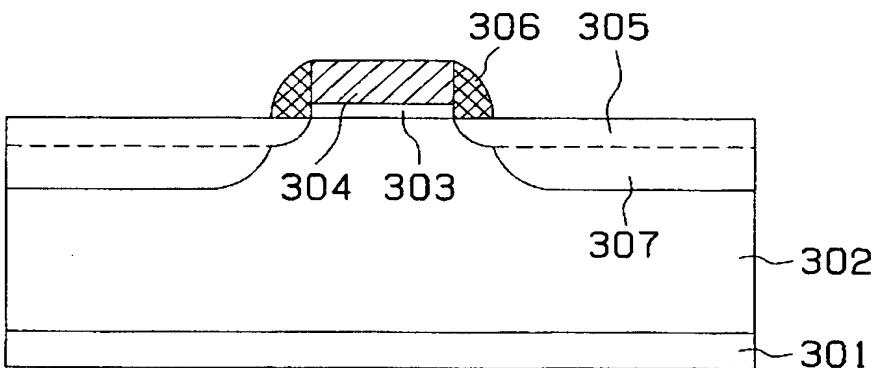
【図13】



(a)



(b)



(c)

【書類名】 要約書

【要約】

【課題】 ジャンクションリークの発生を抑制してリーク電流の低減を図る。

【解決手段】 一方導電型の不純物が導入された半導体領域103と、前記半導体領域103上に形成されるゲート絶縁膜105と、前記ゲート絶縁膜105上に形成されるゲート電極106と、前記半導体領域103内に第1のドーズ量で他方導電型の第1の不純物が打ち込まれて、前記半導体領域103の主面から第1の深さまでの領域に形成される低濃度層109aと、前記半導体領域103内に前記第1のドーズ量以上 1×10^{15} 個/cm²以下の第2のドーズ量で他方導電型の第2の不純物が打ち込まれて、前記半導体領域103の主面から前記第1の深さより浅い第2の深さまでの領域に形成される高濃度層109bとを具備したことを特徴とする。

【選択図】 図1

認定・付与口青幸良

特許出願の番号	特願2003-070552
受付番号	50300424820
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 3月17日

<認定情報・付加情報>

【提出日】	平成15年 3月14日
-------	-------------

次頁無

出証特2004-3015386

【書類名】 手続補正書
【整理番号】 J0098866
【提出日】 平成15年 8月28日
【あて先】 特許庁長官 殿
【事件の表示】
 【出願番号】 特願2003- 70552
【補正をする者】
 【識別番号】 000002369
 【氏名又は名称】 セイコーホームズ株式会社
【代理人】
 【識別番号】 100095728
 【弁理士】
 【氏名又は名称】 上柳 雅裕
 【連絡先】 0266-52-3528
【手続補正1】
 【補正対象書類名】 特許願
 【補正対象項目名】 発明者
 【補正方法】 変更
 【補正の内容】
 【発明者】
 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内
 【氏名】 芳賀 泰
 【発明者】
 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内
 【氏名】 ▲浜▼ 宗佳
【提出物件の目録】
 【物件名】 誤記の理由書 1
 【物件名】 発明者相互の宣誓書 1

【物件名】

誤記の理由書

【添付書類】



誤記の理由書

平成15年8月28日

本件の発明者の氏名について、「芳賀 泰」、「▲浜▼ 宗佳」の2名とすべきところを、依頼人からの原稿を当手続き上処理するにあたり、タイプ打ちの際「▲浜▼ 宗佳」の1名を明らかに当方のミスでタイプ漏れしてしまいました。

【物件名】

発明者相互の宣誓書

【添付書類】

発明者相互の宣誓書



平成15年 8月28日

下記発明は、私ども2名が共同で発明した事に相違なく、ここに宣誓致します。

訂正

1. 出願番号 特願2003-070552
2. 出願日 平成15年3月14日
3. 発明の名称 半導体装置及びその製造方法

発明者

住所（居所） 長野県諏訪市大和3丁目3番5号
セイコーエプソン株式会社内

氏名 芳賀 泰 

発明者

住所（居所） 長野県諏訪市大和3丁目3番5号
セイコーエプソン株式会社内

氏名 濱 宗佳 

認定・付加情報

特許出願の番号	特願2003-070552
受付番号	20301640001
書類名	手続補正書
担当官	関 浩次 7475
作成日	平成15年10月22日

<認定情報・付加情報>

【補正をする者】

【識別番号】 000002369

【住所又は居所】 東京都新宿区西新宿2丁目4番1号

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプ
ソン株式会社 知的財産本部内

【氏名又は名称】 上柳 雅譽

【提出された物件の記事】

【提出物件名】 誤記の理由書 1

【提出物件名】 発明者相互の宣誓書 1

特願 2003-070552

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社